

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-060165

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

H01L 27/105
G11C 11/14
G11C 11/15
H01L 43/08

(21)Application number : 2001-241132

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.08.2001

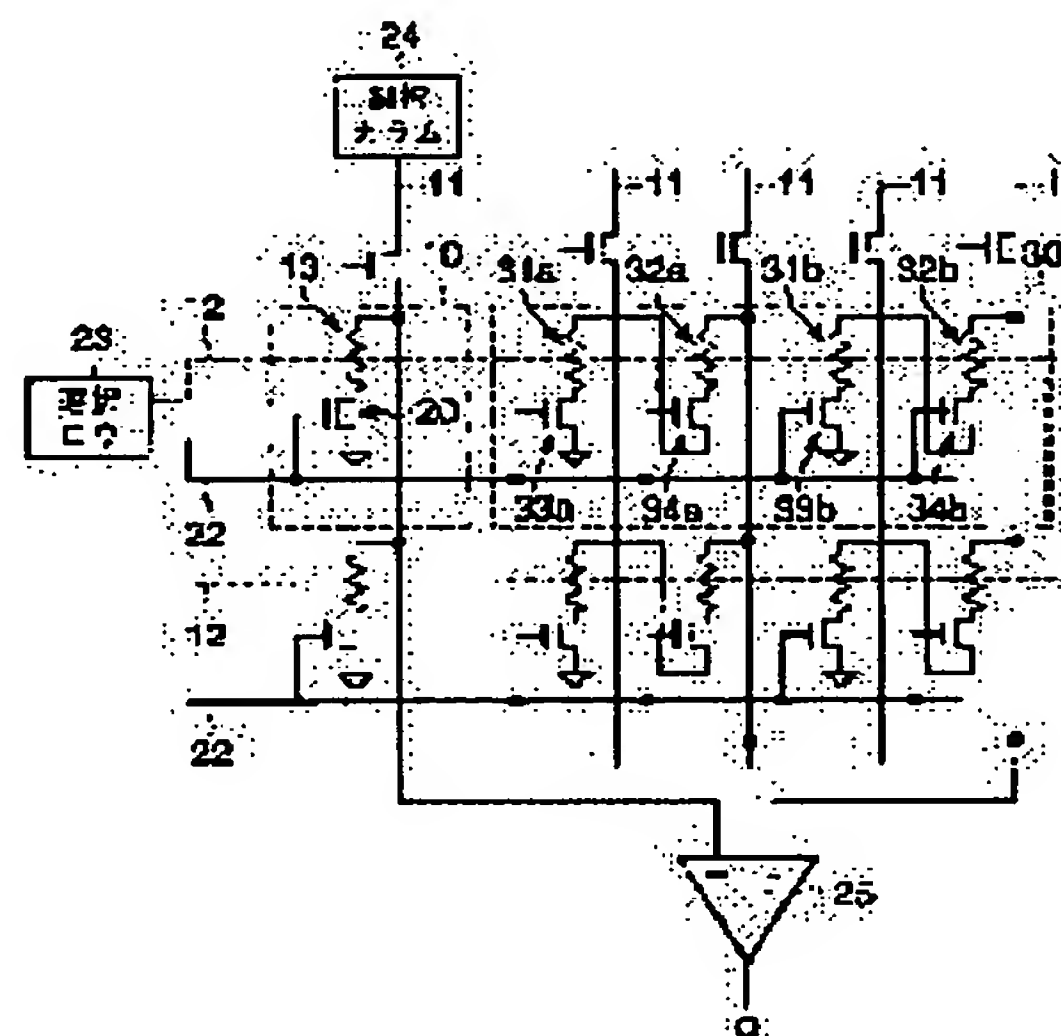
(72)Inventor : HOSOYA KEIJI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress variations in resistance of a reference cell.

SOLUTION: A semiconductor device comprises a memory cell 10 having a first TMR element 13, and the reference cell 30 having at least one or more of second TMR element 31a for storing first data and a third TMR element 32a for storing second data.



LEGAL STATUS

[Date of request for examination]

08.02.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P) (12) 公 開 特 許 公 報 (A) (11)特許出願公開番号
特開2003-60165
(P2003-60165A)
(43)公開日 平成15年2月28日(2003.2.28)

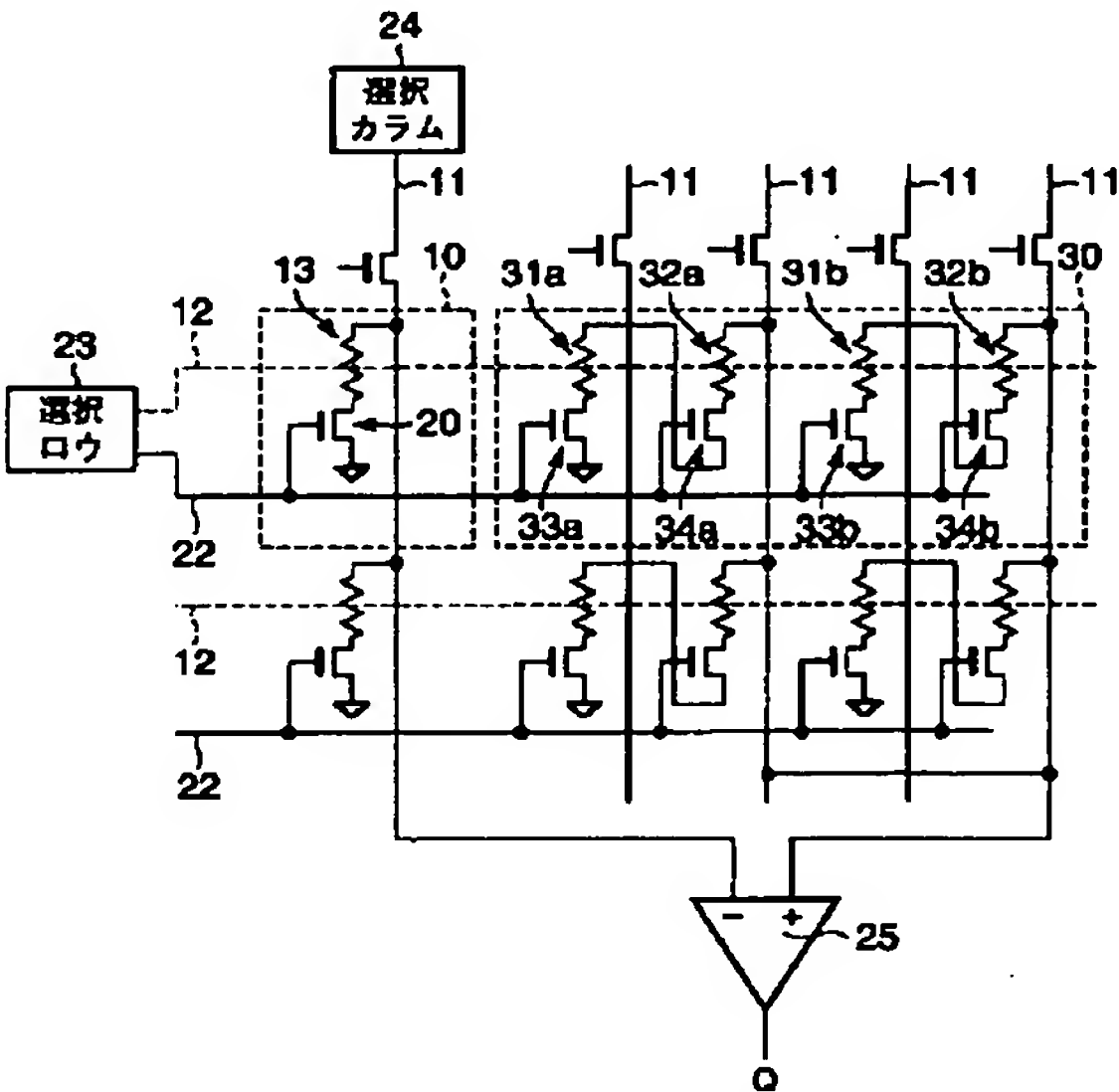
(51)Int.Cl.⁷ 識別記号 F I テーマト* (参考)
H 0 1 L 27/105 G 1 1 C 11/14 A 5 F 0 8 3
G 1 1 C 11/14 11/15
11/15 H 0 1 L 43/08 Z
H 0 1 L 43/08 27/10 4 4 7

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21)出願番号 特願2001-241132(P2001-241132)
(22)出願日 平成13年8月8日(2001.8.8)
(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 細谷 啓司
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)
Fターム(参考) 5F083 FZ10 GA09 GA11 GA21 GA24
GA27 GA30 JA60 LA01 LA02
LA04 LA05 LA10 MA06 MA16
MA19

(54)【発明の名称】 半導体記憶装置

(57)【要約】
【課題】 リファレンスセル部の抵抗値のばらつきを抑制する。
【解決手段】 半導体装置は、第1のTMR素子13を有するメモリセル部10と、第1のデータを記憶する第2のTMR素子31aと第2のデータを記憶する第3のTMR素子32aとをそれぞれ少なくとも1つ以上有するリファレンスセル部30とを具備する。



【特許請求の範囲】

【請求項1】 抵抗変化によって2値のデータを記憶する抵抗素子を備えた半導体記憶装置であって、第1の抵抗素子を有するメモリセル部と、第1のデータを記憶する第2の抵抗素子と、第2のデータを記憶する第3の抵抗素子とをそれぞれ少なくとも1つ以上有するリファレンスセル部とを具備することを特徴とする半導体記憶装置。

【請求項2】 前記第2の抵抗素子の抵抗値を R_0 、前記第3の抵抗素子の抵抗値を R_1 とした場合、前記リファレンスセル部の抵抗素子の全体の抵抗値 R_r は $(R_0 + R_1) / 2$ であることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記第1、第2、第3の抵抗素子と対になってトランジスタ又は整流素子がそれぞれ配置されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記第2、第3の抵抗素子は直列に接続されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】 複数の第1の配線と、前記第1の配線と直交する方向に配置された複数の第2の配線とをさらに具備し、前記第1、第2の配線の各交点に前記第1、第2、第3の抵抗素子がそれぞれ配置されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項6】 前記第1、第2、第3の抵抗素子の面積は、同じであることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項7】 前記リファレンスセル部において前記第2及び第3の抵抗素子がそれぞれ1つずつ存在する場合、前記第2及び第3の抵抗素子の面積は前記第1の抵抗素子の面積の2倍であることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項8】 前記メモリセル部の前記第1の抵抗素子と前記リファレンスセル部の前記第2及び第3の抵抗素子とは、同じパターンで配置されることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項9】 前記第1、第2、第3の抵抗素子は、磁気抵抗効果素子又は相変化素子であることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項10】 前記第1、第2、第3の抵抗素子は、第1の磁性層と第2の磁性層と非磁性層との少なくとも3層で構成され、前記第2の抵抗素子は前記第1の磁性層と前記第2の磁性層との磁化の方向が互いに反平行であり、前記第3の抵抗素子は前記第1の磁性層と前記第2の磁性層との磁化の方向が互いに平行であることを特徴とする請求項1又は2記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係わり、特にトンネル磁気抵抗効果（TMR：Tunneling Magneto Resistive）素子を記憶素子として用いた磁気記憶装置（MRAM：Magnetic Random Access Memory）に関する。

【0002】

【従来の技術】近年、情報記憶素子として、磁気抵抗効果を利用したMRAM（Magnetic Random Access Memory）セルが提案されている。このMRAMは、不揮発性、高集積性、高信頼性、高速動作を兼ね備えたメモリデバイスへ発展し、ポテンシャルを抱くデバイスとして、近年急激に期待が高まっている。

【0003】磁気抵抗効果素子には、主に、GMR（Giant Magneto Resistive）素子とTMR（Tunneling Magneto Resistive）素子とが知られている。GMR素子は、2つの強磁性層とこれら強磁性層に挟まれた導体とからなり、この導体の抵抗が上下の強磁性層の磁化の向きにより変化する。しかし、GMR素子のMR（Magnetoresistive）比は10%以下と低いため、読み出しマージンを確保することが困難である。このため、GMR素子は特殊な用途に限定され、広く普及するには至っていない。一方、TMR素子は、2つの強磁性層とこれら強磁性層で挟まれた絶縁体とからなり、この絶縁体のトンネル抵抗が上下の強磁性層の磁化の向きによって変化する。このTMR素子では、現在50%程度のMR比を確保することが可能となってきた。このため、ここ数年、応用デバイスを目指した研究対象は、GMR素子よりもTMR素子の方が主流となってきた。

【0004】そこで、MRAMメモリセルでは、TMR素子をメモリ素子やリファレンス素子として用いる。そして、データの読み出し時に、メモリ素子の抵抗値とリファレンス素子の抵抗値とを比較し、“1”、“0”データの判定が行われる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来技術では、リファレンス素子の抵抗値のばらつきによって“1”、“0”データの抵抗変化が少なくなるという問題があった。従って、リファレンス素子の抵抗値のばらつきを抑制しなければならなかった。

【0006】本発明は上記課題を解決するためになされたものであり、その目的とするところは、リファレンスセル部の抵抗値のばらつきを抑制することが可能な半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0008】本発明に係わる半導体記憶装置は、抵抗変化によって2値のデータを記憶する抵抗素子を備えた半導体記憶装置であって、第1の抵抗素子を有するメモリ

セル部と、第1のデータを記憶する第2の抵抗素子と、第2のデータを記憶する第3の抵抗素子とをそれぞれ少なくとも1つ以上有するリファレンスセル部とを具備している。

【0009】

【発明の実施の形態】本発明は、トンネル磁気抵抗効果（TMR：Tunneling Magneto Resistive）素子を記憶素子として用いた磁気記憶装置（MRAM：Magnetic Random Access Memory）に関するものである。このMRAMは、TMR素子を備えたメモリセルをマトリクス状に複数個配置したメモリセルアレイ構造となっており、このメモリセルアレイの周辺にデコーダやセンス回路等の周辺回路部を設け、任意のメモリセルにアクセスすることによって、情報の書き込み・読み出しを行うものである。

【0010】本発明の実施の形態を以下に図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】〔第1の実施形態〕第1の実施形態は、1ビットのメモリセル部が1TMR素子+1MOSトランジスタで構成され、リファレンスセル部が（1TMR素子+1MOSトランジスタ）×4で構成される例である。なお、リファレンスセル部とは、1ビットのメモリセルと同時に選択され、データの読み出し時にメモリセルと比較されるセルのことをいう。

【0012】図1は、本発明の第1の実施形態に係る半導体記憶装置の回路図を示す。図1に示すように、第1の実施形態に係る半導体記憶装置において、1ビット当たりのメモリセル部10は、TMR素子13とMOSトランジスタ20とを備える。このメモリセル部10のTMR素子13に書き込まれた情報を判定するリファレンスセル部30は、TMR素子とMOSトランジスタとのペアを4組備える。つまり、リファレンスセル部30は、“0”データを保持する第1のTMR素子31aとMOSトランジスタ33aとからなる第1のペアと、“1”データを保持する第2のTMR素子32aとMOSトランジスタ34aとからなる第2のペアと、“0”データを保持する第3のTMR素子31bとMOSトランジスタ33bとからなる第3のペアと、“1”データを保持する第4のTMR素子32bとMOSトランジスタ34bとからなる第4のペアとを有する。

【0013】このような半導体記憶装置では、ビット線11と書き込みワード線12とが互いに直交するようにマトリクス状に複数個配置され、ビット線11と書き込みワード線12との各々の交点付近にTMR素子13、31a、31b、32a、32bがそれぞれ配置されている。そして、メモリセル部10とこのメモリセル部10と対になるリファレンスセル部30とは同一の書き込み・読み出しワード線12、22を用いる。つまり、メモリセル部10及びリファレンスセル部30におけるT

MR素子13、31a、31b、32a、32bは、同一の書き込みワード線12の上方に配置される。また、メモリセル部10及びリファレンスセル部30におけるMOSトランジスタ20、33a、33b、34a、34bは、同一の読み出しワード線22に電氣的に接続される。

【0014】図2は、第1の実施形態に係る半導体記憶装置の概略的な平面図を示す。図3は、図2のIII-III線に沿ったメモリセル部における半導体記憶装置の断面図を示す。

【0015】図2に示すように、リファレンスセル部30のTMR素子31a、31b、32a、32bのビット線11に接する面積 S_1 は、メモリセル部10のTMR素子13のビット線11に接する面積 S_2 と同じである。

【0016】図3に示すように、第1の実施形態に係るメモリセル部10は、ビット線11と書き込みワード線12との各々の交点付近にTMR素子13が配置されている。このTMR素子13は、上部電極（表示せず）を介してビット線11に接続され、下部電極14、第1、第2の配線層18、16、第1、第2、第3のコンタクト層19、17、15を介してMOSトランジスタ20のソース／ドレイン拡散層21に接続されている。このMOSトランジスタ20はTMR素子13にアクセスするための読み出し用スイッチング素子であり、このMOSトランジスタ20のゲート電極は読み出しワード線22になっている。

【0017】ここで、TMR素子13は、下部電極14に接続する強磁性層の磁気記録層26と、上部電極を介してビット線11に接続する強磁性層の磁化固着層27と、これら磁気記録層26と磁化固着層27とに挟まれた非磁性層のトンネル接合層28とで構成される。

【0018】尚、TMR素子13は、上述する1重トンネル接合構造に限定されず、以下に示す2重トンネル接合構造でもよい。つまり、第1の磁化固着層上に第1のトンネル接合層が配置され、この第1のトンネル接合層上に磁気記録層が配置される。この磁気記録層上に第2のトンネル接合層が配置され、この第2のトンネル接合層上に第2の磁化固着層が配置される。この2重トンネル接合構造のTMR素子13の場合、1重トンネル接合構造のTMR素子13と比較して、同じ外部バイアスを印加したときのMR（Magneto Resistive）比の劣化が少なく、より高いバイアスで動作できる。

【0019】上記1重トンネル接合構造又は2重トンネル接合構造のTMR素子13は、例えば、以下の材料を用いて形成される。

【0020】磁化固着層27及び磁気記録層26の材料には、例えば、Fe、Co、Ni又はそれらの合金、スピント極率の大きいマグネタイト、 CrO_2 、 R XMnO_{3-x} （R：希土類、X：Ca、Ba、Sr）などの酸

化物の他、NiMnSb、PtMnSbなどのホイスラ合金などを用いることが好ましい。また、これら磁性体には、強磁性を失わないかぎり、Ag、Cu、Au、Al、Mg、Si、Bi、Ta、B、C、O、N、Pd、Pt、Zr、Ir、W、Mo、Nbなどの非磁性元素が多少含まれていてもよい。

【0021】トンネル接合層28の材料には、Al、O、SiO₂、MgO、AlN、Bi₂O₃、MgF₂、CaF₂、SrTiO₃、AlLaO₃、等の誘電体を使用してもよい。これらの誘電体には、酸素、窒素、フッ素欠損が存在していてもよい。

【0022】図4は、第1の実施形態に係るメモリセル部及びリファレンスセル部の概略的な回路図を示す。尚、図4では、TMR素子と対になって配置されるMOSトランジスタは省略する。

【0023】図4に示すように、第1の実施形態に係るリファレンスセル部30では、“0”データを保持する第1のTMR素子31aと、“1”データを保持する第2のTMR素子32aとが、MOSトランジスタ（図示せず）を介して直列に接続される。同様に、“0”データを保持する第3のTMR素子31bと、“1”データを保持する第4のTMR素子32bとが、MOSトランジスタ（図示せず）を介して直列に接続される。そして、直列接続された第1及び第2のTMR素子31a、32aと、直列接続された第3及び第4のTMR素子31b、32bとは、並列に接続される。

【0024】ここで、“0”データを保持する第1、第3のTMR素子31a、31bは、磁化固着層27と磁気記録層26との磁化の方向が互いに反平行になっている。一方、“1”データを保持する第2、第4のTMR素子32a、32bは、磁化固着層27と磁気記録層26との磁化の方向が互いに平行になっている。

【0025】また、第1乃至第4のTMR素子31a、32a、31b、32bの全体の抵抗値をR_r、“0”＊

（1本の書き込み配線による発生磁場）＜（セル書き込み磁場の閾値）＜（2

本の書き込み配線による合成磁場）…（2）

一方、読み出し動作時においては、選択されたメモリセル部10に対応するビット線11と読み出しワード線22が各々選択され、選択ビット線11～TMR素子13～下部電極14～第3のコンタクト15～第2の配線層16～第2のコンタクト17～第1の配線層18～第1のコンタクト19～MOSトランジスタ20へと電流が流される。そして、ビット線11の外側に比較回路25等により、この電流値からTMR素子13の抵抗値を読みとって、“1”、“0”データの判定が行われる。この際、リファレンスセル部30の抵抗値R_rを基準として、選択されたメモリセル部10のTMR素子13に流れる電流値又は電圧値が比較回路25で判断される。

【0030】上述するようなMRAMでは、一般的に、メモリセル部10の抵抗ばらつきをΔR_u、リファレン

＊データを保持する第1、第3のTMR素子31a、31bの抵抗値をR₀、“1”データを保持する第2、第4のTMR素子32a、32bの抵抗値をR₁、とすると、このリファレンスセル部30の全体の抵抗R_rは、式（1）の関係を満たす。

$$【0026】R_r = (R_0 + R_1) / 2 \dots (1)$$

このようにして、リファレンスセル部30では、“0”データを保持する第1、第3のTMR素子31a、31bの抵抗R₀と、“1”データを保持する第2、第4のTMR素子32a、32bの抵抗R₁との中間値となる抵抗R_rが作り出され、この抵抗R_rが“1”、“0”判定の基準値とされる。

【0027】次に、第1の実施形態に係るMRAMメモリセルを用いた場合の情報の書き込み・読み出し動作について簡単に説明する。

【0028】まず、書き込み動作時においては、選択ロウ23及び選択カラム24によって選択されたビット線11及び選択された書き込みワード線12に書き込み電流が流れ、各々の選択配線11、12の周囲に電流磁界が発生する。その結果、2本の選択配線11、12の交点付近に位置するTMR素子13にのみ、2本の選択配線11、12による電流磁界の合成磁界が印加される。ここで、磁化固着層27の磁化の向きは通常一方向に固定される。磁気記録層26は一軸異方性を有し、この磁気記録層26は磁化固着層27と同じ磁化方向を向くように形成される。そして、磁気記録層26の磁化の向きが、磁化固着層27の磁化の向きと同じ方向に向いたときは“1”データが書き込まれ、反対方向に向いたときは“0”データが書き込まれる。この磁気記録層26の磁化の向きを反転させるために、以下の式（2）のような関係を有する閾値を設定する。これによって、選択した1ビットのTMR素子13にのみ“1”、“0”データを書き込むことができる。

【0029】

スセル部30の抵抗ばらつきをΔR_rとした場合、TMR素子13のMR比と抵抗ばらつきΔR_u、ΔR_rとは、式（3）の関係を満たすことが要求される。

【0031】

$$MR比 > 2 \times (\Delta R_u + \Delta R_r) \dots (3)$$

例えば、抵抗ばらつきΔR_u、ΔR_rがそれぞれ21%であった場合、84%を超えるMR比が要求される。しかし、現状のTMR素子13のMR比は50%程度が限度であるため、抵抗ばらつきΔR_u、ΔR_rをそれぞれ抑制する必要がある。ここで、TMR素子13の微細化が要求されるメモリセル部10では、抵抗ばらつきΔR_uを抑制することは困難である。従って、第1の実施形態のように、リファレンスセル部30の抵抗ばらつきΔR_rを抑制することが必要となってくる。

【0032】このような現状の下、第1の実施形態におけるリファレンスセル部30では、“0”データを保持する第1、第3のTMR素子31a、31bと、“1”データを保持する第2、第4のTMR素子32a、32bとからなる2種類のTMR素子を設ける。これにより、各TMR素子31a、31b、32a、32bの抵抗値にばらつきが生じて、リファレンスセル部30の抵抗値はこれらTMR素子31a、31b、32a、32bの平均的な抵抗値となるため、リファレンスセル部30の抵抗ばらつき ΔR_r を抑制できる。その結果、図5に示すように、MR比を例えば45%以下に保ちつつ、リファレンスセル部30の抵抗ばらつき ΔR_r を例えば8%以内に抑えることも可能である。

【0033】尚、本発明は、リファレンスセル部30の抵抗ばらつき ΔR_r が8%以上であっても、メモリセル部10の抵抗ばらつき ΔR_m の抑制やMR比の高い材料の開発等により、読み出しマージンの向上を図ることは十分可能である。

【0034】上記第1の実施形態によれば、リファレンスセル部30は、“0”データを保持する第1、第3のTMR素子31a、31bと、“1”データを保持する第2、第4のTMR素子32a、32bとからなる2種類のTMR素子を有する。つまり、リファレンスセル部30の抵抗値 R_r はTMR素子31a、31b、32a、32bの抵抗値の平均値をとることになる。従って、リファレンスセル部30の全体の抵抗値 R_r のばらつきを抑制できるため、読み出しマージンを広く確保することが可能となる。

【0035】また、1ビット当たりのメモリセル部10は、1TMR素子+1MOSトランジスタで構成される。このため、2つのTMR素子13を有する従来のメモリセル部10に比べて、メモリセル部10の専有面積を減少できる。従って、チップ面積の縮小が可能である。

【0036】また、メモリセル部10とリファレンスセル部30におけるTMR素子13、31a、31b、32a、32bの面積 S_1 、 S_2 を同じ面積にして、メモリセル部10とリファレンスセル部30を同じパターン配置で形成する。これにより、第1に、メモリセル部10及びリファレンスセル部30を同時に容易に形成できる。第2に、プロセスに起因したTMR素子13、31a、31b、32a、32bの抵抗値のばらつきやMR比のばらつきを抑制できる。第3に、リファレンスセル部30の配置の自由度が高く、配線接続を変更するのみでリファレンスセル部30の素子数を容易に変えることができるため、メモリセル部10及びリファレンスセル部30の設計が容易となる。第4に、メモリセル部10をリソグラフィでパターンニングする際、リファレンスセル部30がパターンの疎密を抑制するダミーセルの役割を果たすため、パターン崩れを抑制することができる。

【0037】また、リファレンスセル部30の各TMR素子31a、31b、32a、32bは、ビット線11と書き込みワード線12との交点にそれぞれ配置されている。このため、リファレンスセル部30の各TMR素子31a、31b、32a、32bに情報を書き込むことができる。従って、リファレンスセル部30に、メモリセル部10の記録状態に対して最適な状態となるように、再度書き込みを行うことが可能である。このため、読み出しマージンをさらに高めることができる。

【0038】尚、リファレンスセル部30は、式(1)の関係を満たすのであれば、“0”データを保持するTMR素子と“1”データを保持するTMR素子とのペアの個数を増やしてもよい。例えば、図6に示すように、“0”データを保持するTMR素子31を8個、“1”データを保持するTMR素子32を8個配置してもよい。このように、“0”データを保持するTMR素子31と“1”データを保持するTMR素子32とのペアを複数個組み合わせることによって、リファレンスセル部30全体としては、各々のTMR素子31、32における抵抗値のばらつきやMR比のばらつきの影響を受け難くなり、読み出しマージンをさらに高めることができる。

【0039】また、TMR素子の代わりに相変化素子を用いてもよい。相変化素子を記憶素子として用いた相変化メモリは、Ge-Sb-Te系の相変化膜の比抵抗がアモルファス状態と結晶状態とで異なることを利用して“1”、“0”データを記憶する。一方、相変化膜と直列につないだ抵抗素子にパルス電流を流し、相変化膜に熱を加えることで“1”、“0”データを書き換える。このような相変化素子を用いた場合も、上記第1の実施形態と同様の効果を得ることができる。

【0040】[第2の実施形態] 第2の実施形態は、1ビットのメモリセル部が1TMR素子+1ダイオードで構成され、リファレンスセル部が(1TMR素子+1ダイオード) $\times 4$ で構成される例である。この第2の実施形態では、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0041】図7は、本発明の第2の実施形態に係る半導体記憶装置の回路図を示す。図7に示すように、第2の実施形態に係る半導体記憶装置において、1ビット当たりのメモリセル部10は、TMR素子13とダイオード41とを備える。このメモリセル部10のTMR素子13に書き込まれた情報を判定するリファレンスセル部30は、TMR素子とダイオードとのペアを4組備える。つまり、リファレンスセル部30は、“0”データを保持する第1のTMR素子31aとダイオード42aとからなる第1のペアと、“1”データを保持する第2のTMR素子32aとダイオード43aとからなる第2のペアと、“0”データを保持する第3のTMR素子31bとダイオード42bとからなる第3のペアと、

“1”データを保持する第4のTMR素子32bとダイオード43bとからなる第4のペアとを有する。ここで、ダイオード41、42a、42b、43a、43bは、例えばPN接合ダイオードやショットキーダイオードのように整流素子であれば何でもよい。

【0042】このような半導体記憶装置では、ビット線11とワード線44とが互いに直交するようにマトリクス状に複数個配置され、ビット線11とワード線44との各々の交点付近にTMR素子13、31a、31b、32a、32bがそれぞれ配置されている。そして、メモリセル部10とこのメモリセル部10と対になるリファレンスセル部30とは同一のワード線44を用いる。つまり、メモリセル部10におけるダイオード41と、リファレンスセル部30における“0”データを保持するTMR素子31a、31bと対になるダイオード42a、42bとは、同一のワード線44に接続される。

【0043】図8は、第2の実施形態に係るメモリセル部における半導体記憶装置の断面図を示す。図8に示すように、第2の実施形態に係るメモリセル部10は、ビット線11とワード線44との間にTMR素子13とスイッチング素子であるダイオード41が配置されている。つまり、このTMR素子13の磁化固着層27はビット線11に接続され、磁気記録層26はダイオード41に接続される。そして、ダイオード41はワード線44に接続される。

【0044】このような構造では、磁気記録層26に情報を書き込むための書き込み配線と情報を読み出すための読み出し配線はいずれも共通であり、ワード線44とビット線11の2本の配線のみで情報の書き込み・読み出し動作が行われる。この際、ダイオード41の整流性を活用して選択セルのみに情報の書き込み・読み出しができるように、ワード線44とビット線11の印加バイアスをそれぞれ制御する必要がある。

【0045】尚、第2の実施形態では、第1の実施形態と同様に、“0”データを保持するTMR素子31a、31bと、“1”データを保持するTMR素子32a、32bとを複数個組み合わせることにより、式(1)の関係を満たすリファレンスセル部30の抵抗 R_r を作り出すことができる。また、第1の実施形態と同様に、リファレンスセル部30のTMR素子31a、31b、32a、32bのビット線11に接する面積 S_1 は、メモリセル部10のTMR素子13のビット線11に接する面積 S_2 と同じである。

【0046】上記第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0047】さらに、スイッチング素子としてダイオード41を用いているため、上記第1の実施形態よりも1ビット当たりのセル面積をさらに縮小できる。

【0048】【第3の実施形態】第3の実施形態は、第2の実施形態のダイオードを用いない構造の例である。

この第3の実施形態では、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0049】図9は、本発明の第3の実施形態に係る半導体記憶装置の回路図を示す。図9に示すように、第3の実施形態に係る半導体記憶装置において、1ビット当たりのメモリセル部10は、TMR素子13のみを備える。このメモリセル部10のTMR素子13に書き込まれた情報を判定するリファレンスセル部30は、TMR素子を4組備える。つまり、リファレンスセル部30は、“0”データを保持する第1のTMR素子31aと、“1”データを保持する第2のTMR素子32aと、“0”データを保持する第3のTMR素子31bと、“1”データを保持する第4のTMR素子32bとを有する。

【0050】このような半導体記憶装置では、ビット線11と書き込みワード線12とが互いに直交するようにマトリクス状に複数個配置され、ビット線11と書き込みワード線12との各々の交点付近にTMR素子13、31a、31b、32a、32bがそれぞれ配置されている。そして、メモリセル部10とこのメモリセル部10と対になるリファレンスセル部30とは同一の書き込みワード線12を用いる。つまり、メモリセル部10におけるTMR素子13と、リファレンスセル部30における“0”データを保持するTMR素子31a、31bとは、同一の書き込みワード線12に接続される。

【0051】図10は、第3の実施形態に係るメモリセル部における半導体記憶装置の断面図を示す。図10に示すように、第3の実施形態に係るメモリセル部10は、ビット線11と書き込みワード線12との間にTMR素子13が配置されている。つまり、このTMR素子13の磁化固着層27は書き込みワード線12に接続され、磁気記録層26はビット線11に接続される。そして、ビット線11と離間して、読み出しワード線22が配置される。

【0052】このような構造では、読み出しワード線22と書き込みワード線12の2本を用いて選択セルに情報が書き込まれ、ビット線11と読み出しワード線22の2本を用いて選択セルの情報が読み出される。このように、読み出し線と書き込み線のうち1本だけを共通にして、合計3本の配線でセルにアクセスする。

【0053】尚、第3の実施形態では、第1の実施形態と同様に、“0”データを保持するTMR素子31a、31bと、“1”データを保持するTMR素子32a、32bとを複数個組み合わせることにより、式(1)の関係を満たすリファレンスセル部30の抵抗 R_r を作り出すことができる。また、第1の実施形態と同様に、リファレンスセル部30のTMR素子31a、31b、32a、32bのビット線11に接する面積 S_1 は、メモリセル部10のTMR素子13のビット線11に接する

面積 S_2 と同じである。

【0054】上記第3の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0055】さらに、スイッチング素子を用いないため、スイッチング素子を用いた場合よりも1ビット当たりのセル面積を縮小できる。

【0056】〔第4の実施形態〕第4の実施形態は、1ビットのメモリセル部が1TMR素子+1MOSトランジスタで構成され、リファレンスセル部が(1TMR素子+1MOSトランジスタ)×2で構成される例である。この第4の実施形態では、上記第1の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0057】図11は、本発明の第4の実施形態に係る半導体記憶装置の回路図を示す。図11に示すように、第4の実施形態に係る半導体記憶装置において、1ビット当たりのメモリセル部10は、TMR素子13とMOSトランジスタ20とを備える。このメモリセル部10のTMR素子13に書き込まれた情報を判定するリファレンスセル部30は、TMR素子とMOSトランジスタとのペアを2組備える。つまり、リファレンスセル部30は、“0”データを保持する第1のTMR素子31とMOSトランジスタ33とからなる第1のペアと、

“1”データを保持する第2のTMR素子32とMOSトランジスタ34とからなる第2のペアとを有する。

【0058】図12は、本発明の第4の実施形態に係る半導体記憶装置の回路パターン図を示す。図12に示すように、リファレンスセル部30において、MOSトランジスタ33と第2のTMR素子32とを配線50で接

$$R_r = R_0 / 2 + R_1 / 2 = (R_0 + R_1) / 2 \dots (4)$$

このようにして、リファレンスセル部30では、“0”データを保持する第1のTMR素子31の抵抗 R_0 と、“1”データを保持する第2TMR素子32の抵抗 R_1 との中間値となる抵抗 R_r が作り出され、この抵抗 R_r が“1”、“0”判定の基準値とされる。

【0063】図14は、第4の実施形態に係る半導体記憶装置の概略的な平面図を示す。上述するように、第4の実施形態におけるリファレンスセル部30の各TMR素子の抵抗は、第1の実施形態におけるリファレンスセル部30の各TMR素子の抵抗の1/2にする必要がある。従って、図14に示すように、リファレンスセル部30のTMR素子31、32のビット線11に接する面積 S_1 は、図2に示すTMR素子の面積 S_1 の2倍にすればよい。言い換えると、TMR素子の面積 S_1 は、メモリセル部10のTMR素子13のビット線11に接する面積 S_2 の2倍にすればよい。尚、データの書き込み・読み出しを確実にを行うためには、TMR素子の面積 S_1 を大きくするにしたがって、リファレンスセル部30のビット線11の幅も太くするとよい。

【0064】上記第4の実施形態によれば、第1の実施

* 続する。これにより、メモリセル部10及びリファレンスセル部30におけるTMR素子13、31、32及びMOSトランジスタ20、33、34を同じパターンで配置できる。

【0059】図13は、第4の実施形態に係るメモリセル部及びリファレンスセル部の概略的な回路図を示す。図13に示すように、第4の実施形態に係るリファレンスセル部30では、“0”データを保持する第1のTMR素子31と、“1”データを保持する第2のTMR素子32とが、MOSトランジスタ(図示せず)を介して直列に接続される。尚、図13では、TMR素子31、32と対になって配置されるMOSトランジスタ33、34は省略する。

【0060】このような第4の実施形態の場合、第1の実施形態と比べて、リファレンスセル部30のTMR素子の数が1/2となっている。そこで、第1の実施形態のように式(1)の関係を満たすリファレンスセル部30を作り出すためには、第1の実施形態におけるリファレンスセル部30の各TMR素子の抵抗と比べて、第4の実施形態におけるリファレンスセル部30の各TMR素子の抵抗を1/2にする必要がある。

【0061】従って、第1、第2のTMR素子31、32の全体の抵抗値を R_r 、“0”データを保持する第1のTMR素子31の抵抗値を $R_0/2$ 、“1”データを保持する第2のTMR素子32の抵抗値を $R_1/2$ とする。これにより、第4の実施形態におけるリファレンスセル部30の全体の抵抗 R_r は、式(4)の関係を満たす。

【0062】

形態と同様の効果を得ることができる。

【0065】さらに、リファレンスセル部30のTMR素子及びMOSトランジスタの数を減らすことができるため、チップ面積に対するリファレンスセル部30の専有面積を縮小できる。

【0066】〔第5の実施形態〕第5の実施形態は、1ビットのメモリセル部が1TMR素子+1ダイオードで構成され、リファレンスセル部が(1TMR素子+1ダイオード)×2で構成される例である。この第5の実施形態では、上記第4の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0067】図15は、本発明の第5の実施形態に係る半導体記憶装置の回路図を示す。図15に示すように、第5の実施形態に係る半導体記憶装置において、1ビット当たりのメモリセル部10は、TMR素子13とダイオード41とを備える。このメモリセル部10のTMR素子13に書き込まれた情報を判定するリファレンスセル部30は、TMR素子とダイオードとのペアを2組備える。つまり、リファレンスセル部30は、“0”データを保持する第1のTMR素子31とダイオード42と

からなる第1のペアと、“1”データを保持する第2のTMR素子32とダイオード43とからなる第2のペアとを有する。

【0068】図16は、本発明の第5の実施形態に係る半導体記憶装置の回路パターン図を示す。図16に示すように、リファレンスセル部30において、ダイオード42と第2のTMR素子32とを配線50で接続する。これにより、メモリセル部10及びリファレンスセル部30におけるTMR素子13、31、32及びダイオード41、42、43を同じパターンで配置できる。

【0069】尚、第5の実施形態では、第4の実施形態と同様に、リファレンスセル部30のTMR素子31、32のビット線11に接する面積 S_1 を、メモリセル部10のTMR素子13のビット線11に接する面積 S_2 の2倍にし、TMR素子31、32の抵抗を下げている。これにより、“0”データを保持するTMR素子31と“1”データを保持するTMR素子32とで、式(4)の関係を満たすリファレンスセル部30の抵抗 R_1 を作り出すことができる。

【0070】上記第5の実施形態によれば、第4の実施形態と同様の効果を得ることができる。

【0071】さらに、スイッチング素子としてダイオード41を用いているため、上記第4の実施形態よりも1ビット当たりのセル面積をさらに縮小できる。

【0072】〔第6の実施形態〕第6の実施形態は、第5の実施形態におけるダイオードを用いない構造の例である。この第6の実施形態では、上記第5の実施形態と同様の構造については説明を省略し、異なる構造についてのみ説明する。

【0073】図17は、本発明の第6の実施形態に係る半導体記憶装置の回路図を示す。図17に示すように、第6の実施形態に係る半導体記憶装置において、1ビット当たりのメモリセル部10は、TMR素子13のみを備える。このメモリセル部10のTMR素子13に書き込まれた情報を判定するリファレンスセル部30は、TMR素子を2組備える。つまり、リファレンスセル部30は、“0”データを保持する第1のTMR素子31と、“1”データを保持する第2のTMR素子32とを有する。

【0074】図18は、本発明の第6の実施形態に係る半導体記憶装置の回路パターン図を示す。図18に示すように、リファレンスセル部30において、第1のTMR素子31と第2のTMR素子32とを配線50で接続する。これにより、メモリセル部10及びリファレンスセル部30におけるTMR素子13、31、32を同じパターンで配置できる。

【0075】尚、第6の実施形態では、第4の実施形態と同様に、リファレンスセル部30のTMR素子31、32のビット線11に接する面積 S_1 を、メモリセル部10のTMR素子13のビット線11に接する面積 S_2

の2倍にし、TMR素子31、32の抵抗を下げている。これにより、“0”データを保持するTMR素子31と“1”データを保持するTMR素子32とで、式(4)の関係を満たすリファレンスセル部30の抵抗 R_1 を作り出すことができる。

【0076】上記第6の実施形態によれば、第4の実施形態と同様の効果を得ることができる。

【0077】さらに、スイッチング素子を用いないため、スイッチング素子を用いた場合よりも1ビット当たりのセル面積を縮小できる。

【0078】その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0079】

【発明の効果】以上説明したように本発明によれば、リファレンスセル部の抵抗値のばらつきを抑制することが可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体記憶装置を示す回路図。

【図2】本発明の第1の実施形態に係る半導体記憶装置を示す概略的な平面図。

【図3】図2のIII-III線に沿ったメモリセル部における半導体記憶装置を示す断面図。

【図4】本発明の第1の実施形態に係るメモリセル部及びリファレンスセル部を示す概略的な回路図。

【図5】本発明の第1の実施形態に係るリファレンスセルの抵抗ばらつきとMR比との関係を示す図。

【図6】本発明の第1の実施形態に係るメモリセル部及びリファレンスセル部を示す他の概略的な回路図。

【図7】本発明の第2の実施形態に係る半導体記憶装置を示す回路図。

【図8】本発明の第2の実施形態に係るメモリセル部の半導体記憶装置を示す断面図。

【図9】本発明の第3の実施形態に係る半導体記憶装置を示す回路図。

【図10】本発明の第3の実施形態に係るメモリセル部の半導体記憶装置を示す断面図。

【図11】本発明の第4の実施形態に係る半導体記憶装置を示す回路図。

【図12】本発明の第4の実施形態に係る半導体記憶装置を示す回路パターン図。

【図13】本発明の第4の実施形態に係るメモリセル部及びリファレンスセル部を示す概略的な回路図。

【図14】本発明の第4の実施形態に係る半導体記憶装置を示す概略的な平面図。

【図15】本発明の第5の実施形態に係る半導体記憶装置を示す回路図。

【図16】本発明の第5の実施形態に係る半導体記憶装置を示す回路パターン図。

【図17】本発明の第6の実施形態に係る半導体記憶装置を示す回路図。

【図18】本発明の第6の実施形態に係る半導体記憶装置を示す回路パターン図。

【符号の説明】

10…1ビット当たりのメモリセル部、
11…ビット線、
12…書き込みワード線、
13…TMR素子、
14…下部電極、
15…第3のコンタクト層、
16…第2の配線層、
17…第2のコンタクト層、

* 18…第1の配線層、

19…第1のコンタクト層、

20、33、33a、33b、34、34a、34b…MOSトランジスタ、

21…ソース・ドレイン拡散層、

22…読み出しワード線、

26…磁気記録層、

27…磁化固着層、

28…トンネル障壁層、

10 23…選択ロウ、

24…選択カラム、

25…比較回路、

30…リファレンスセル部、

31、31a、31b…“0”データを保持するTMR素子、

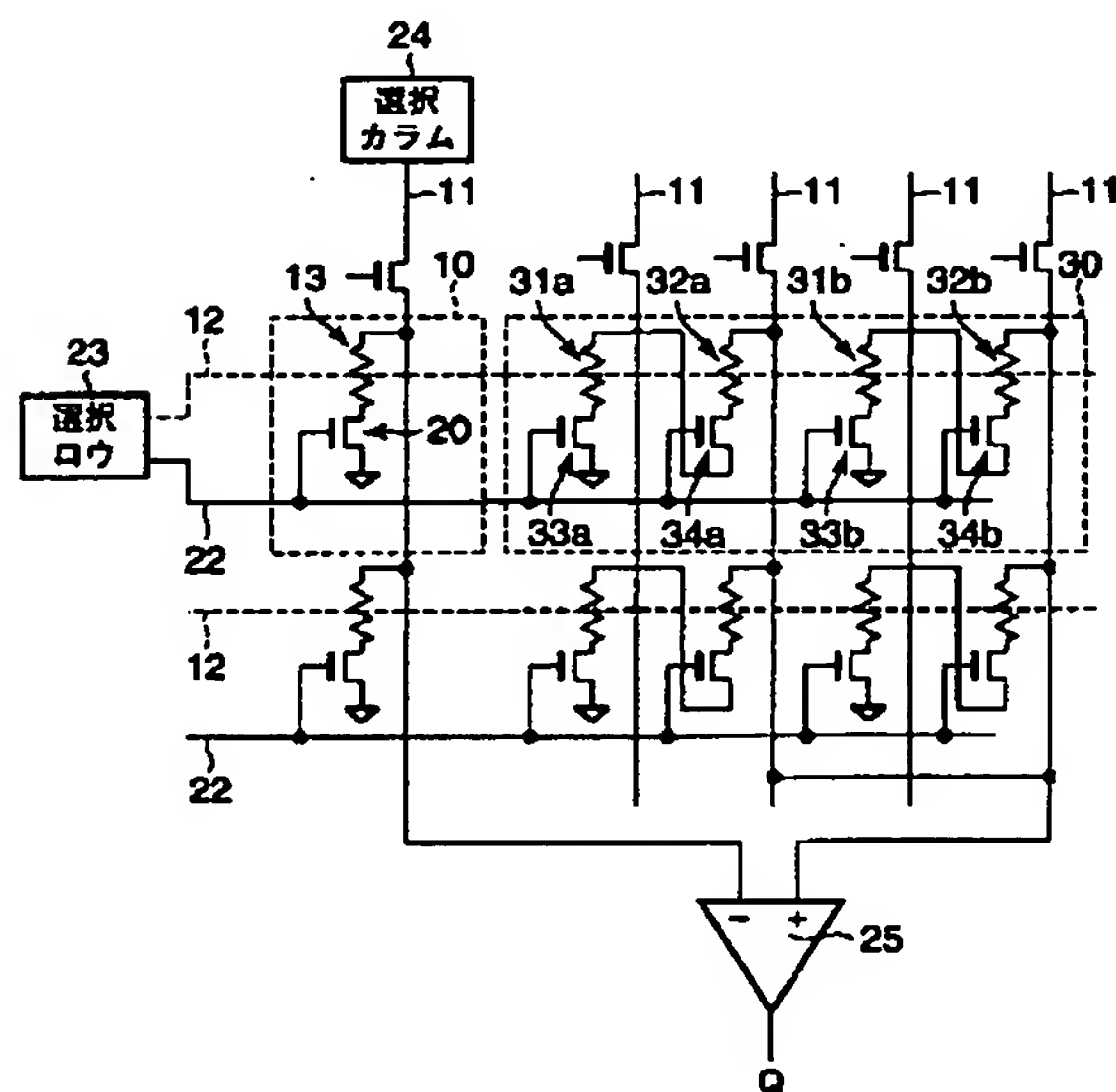
32、32a、32b…“1”データを保持するTMR素子、

41、42、42a、42b、43、43a、43b…ダイオード、

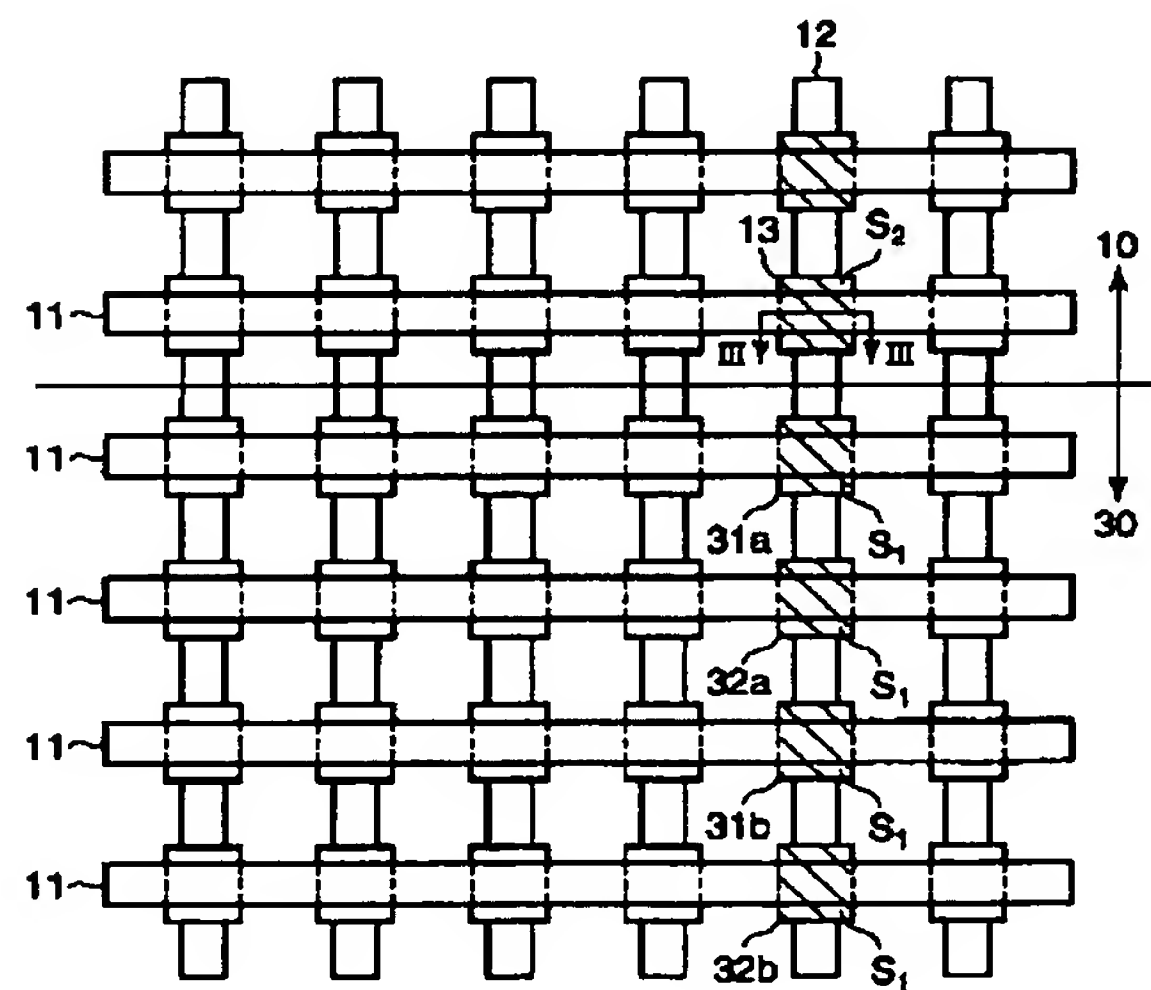
20 44…ワード線、

* 50…配線。

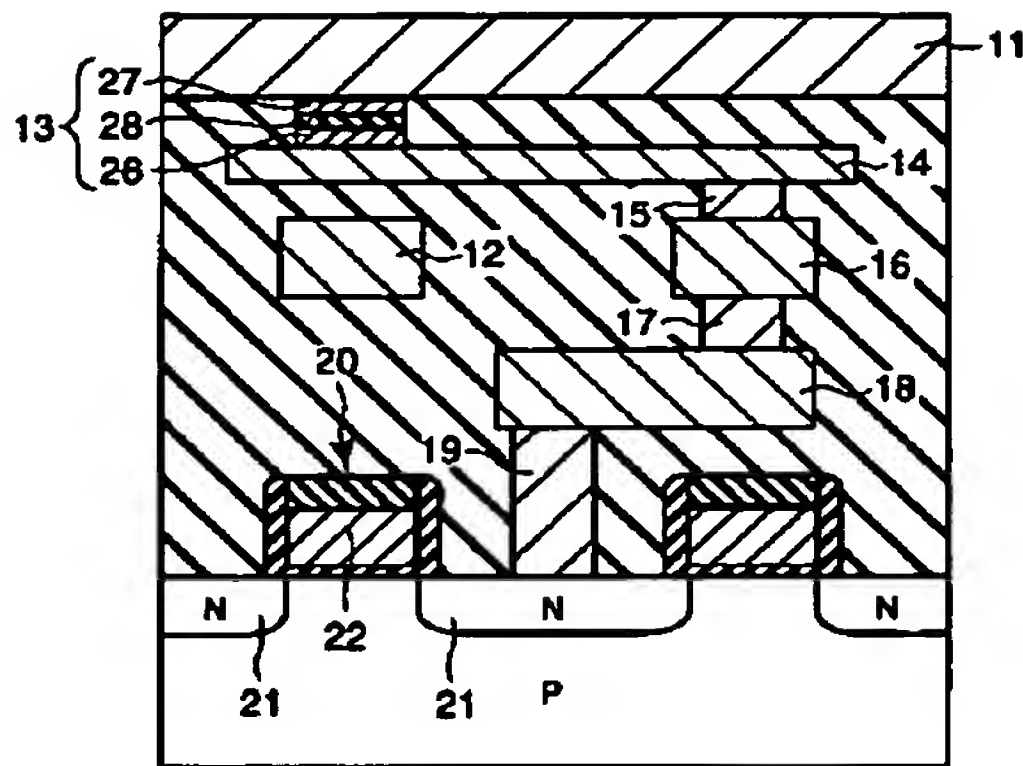
【図1】



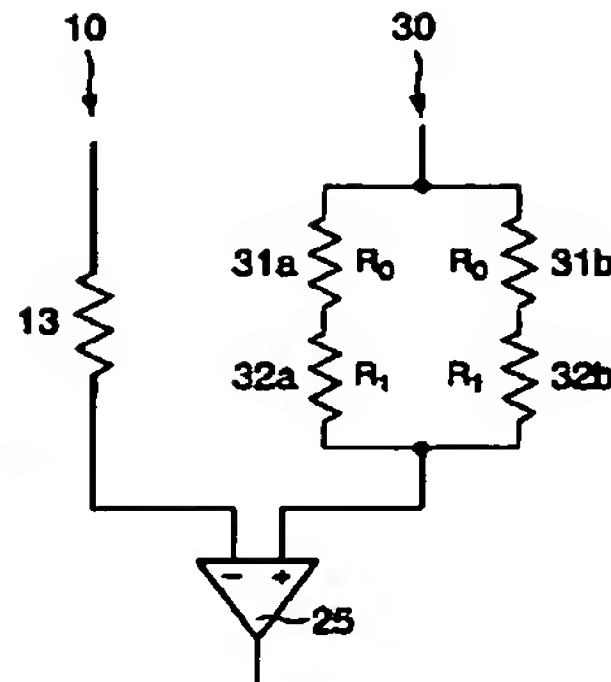
【図2】



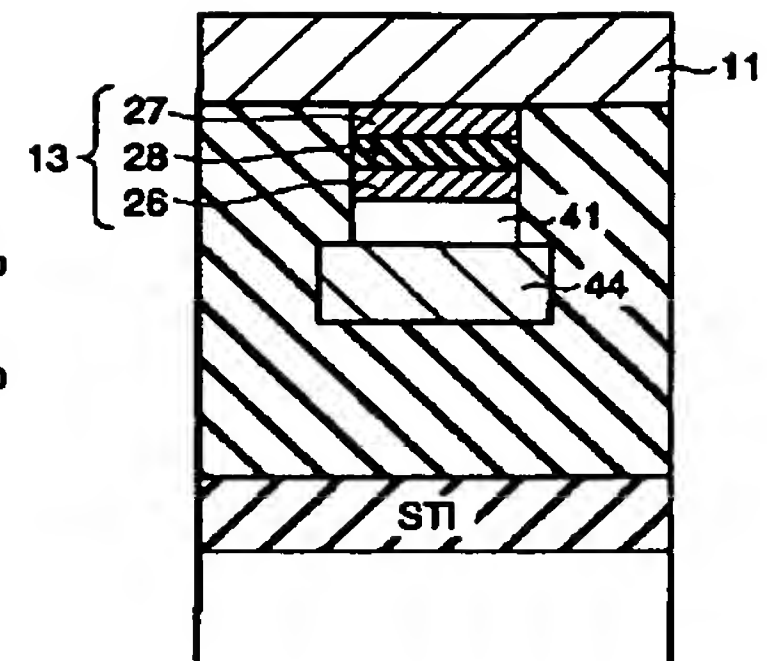
【図3】



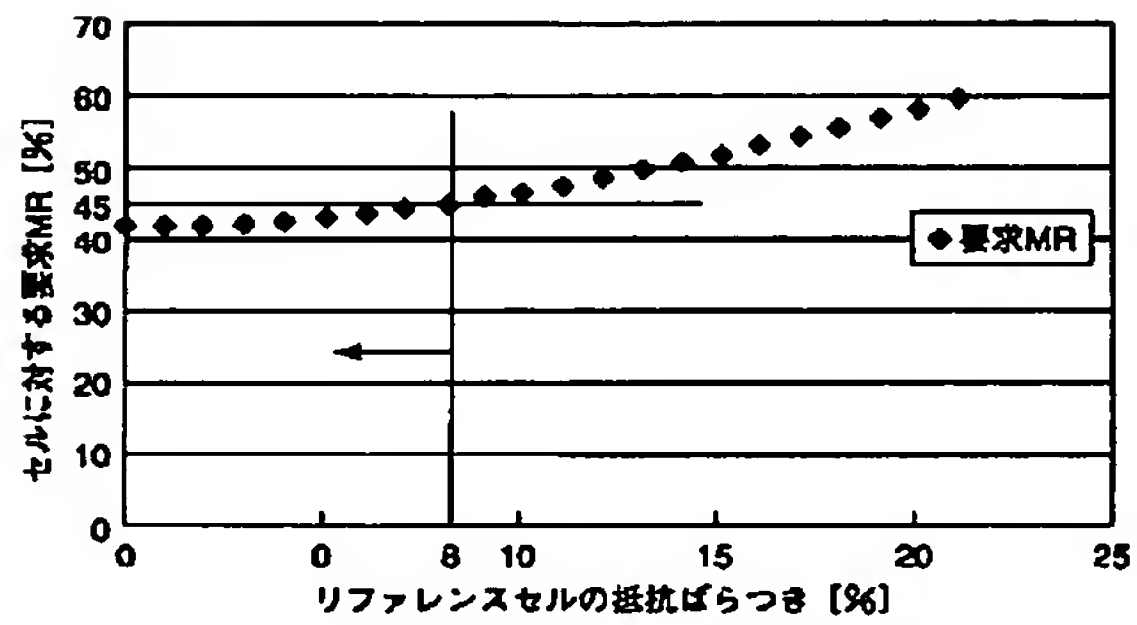
【図4】



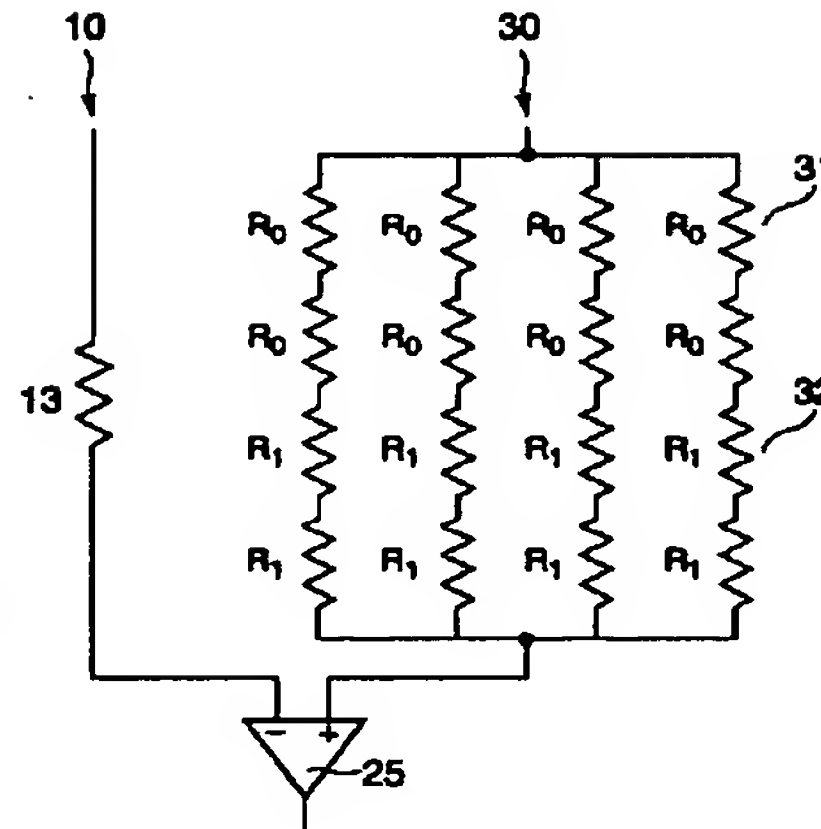
【図8】



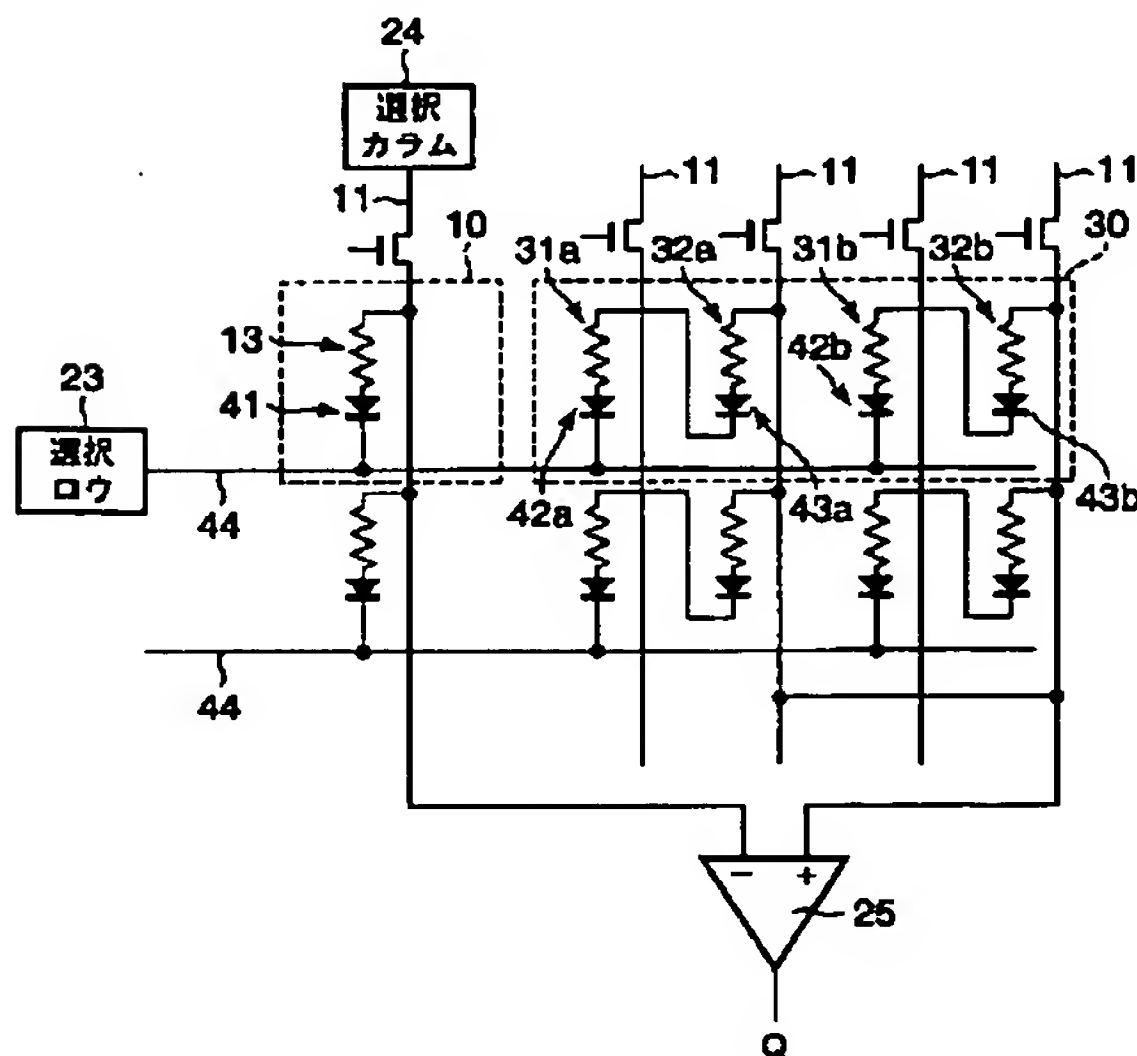
【図5】



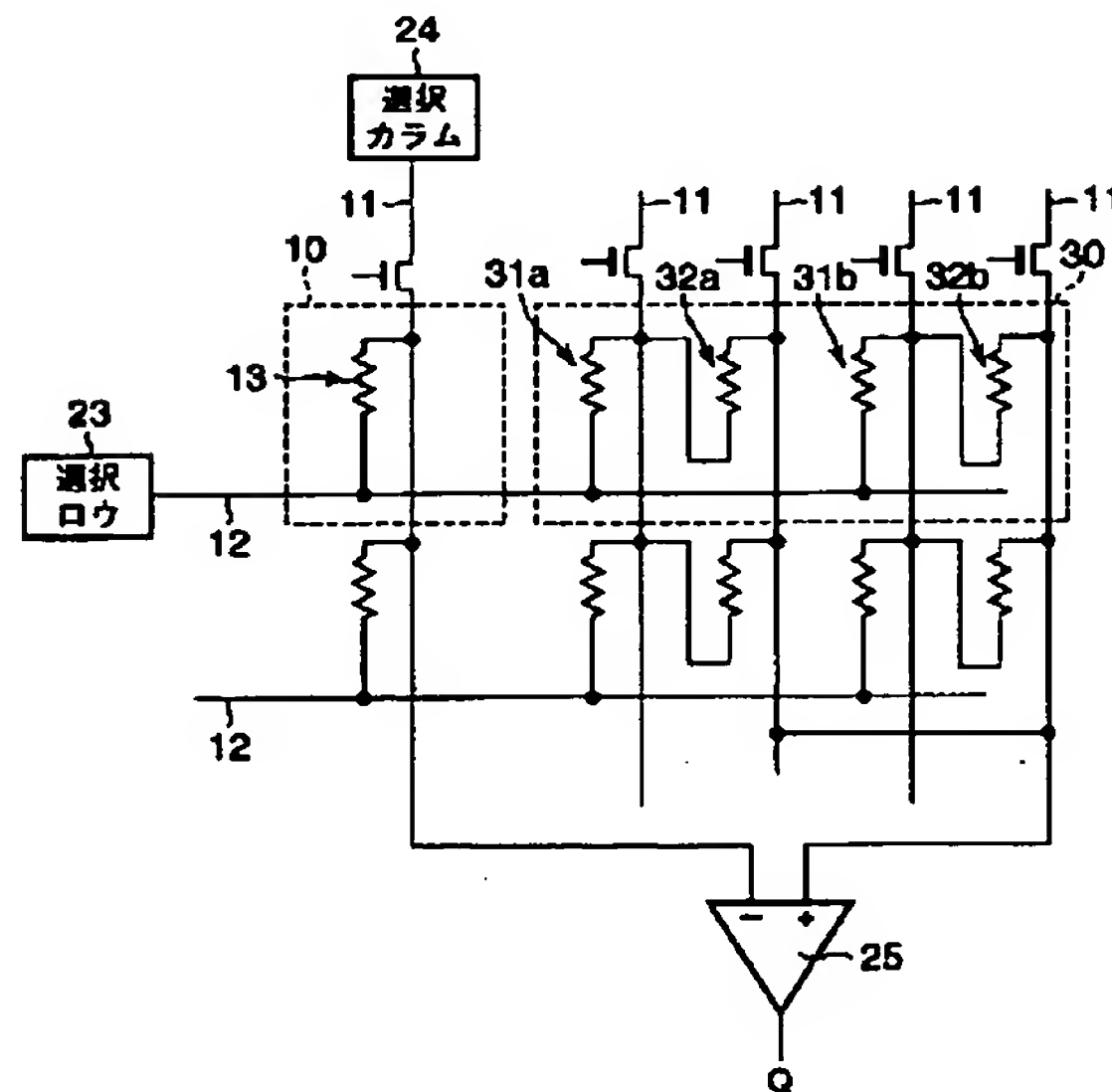
【図6】



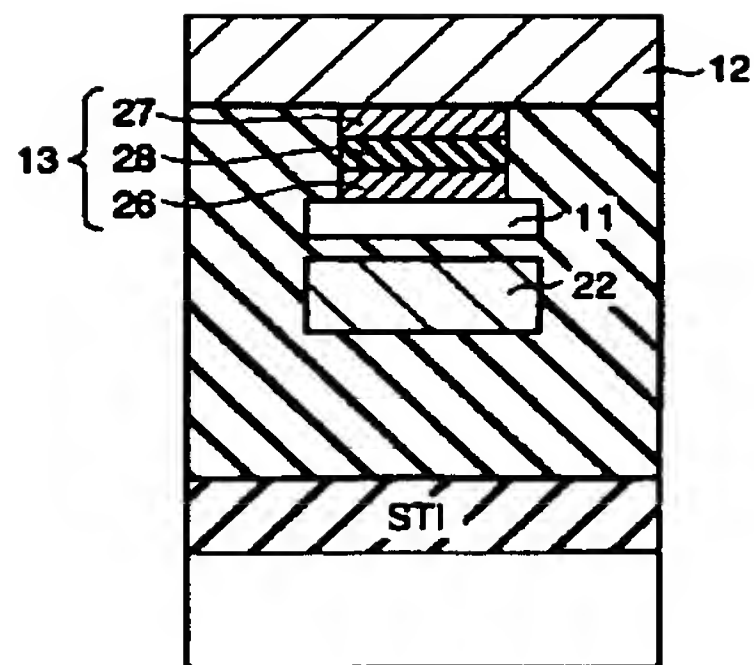
【図7】



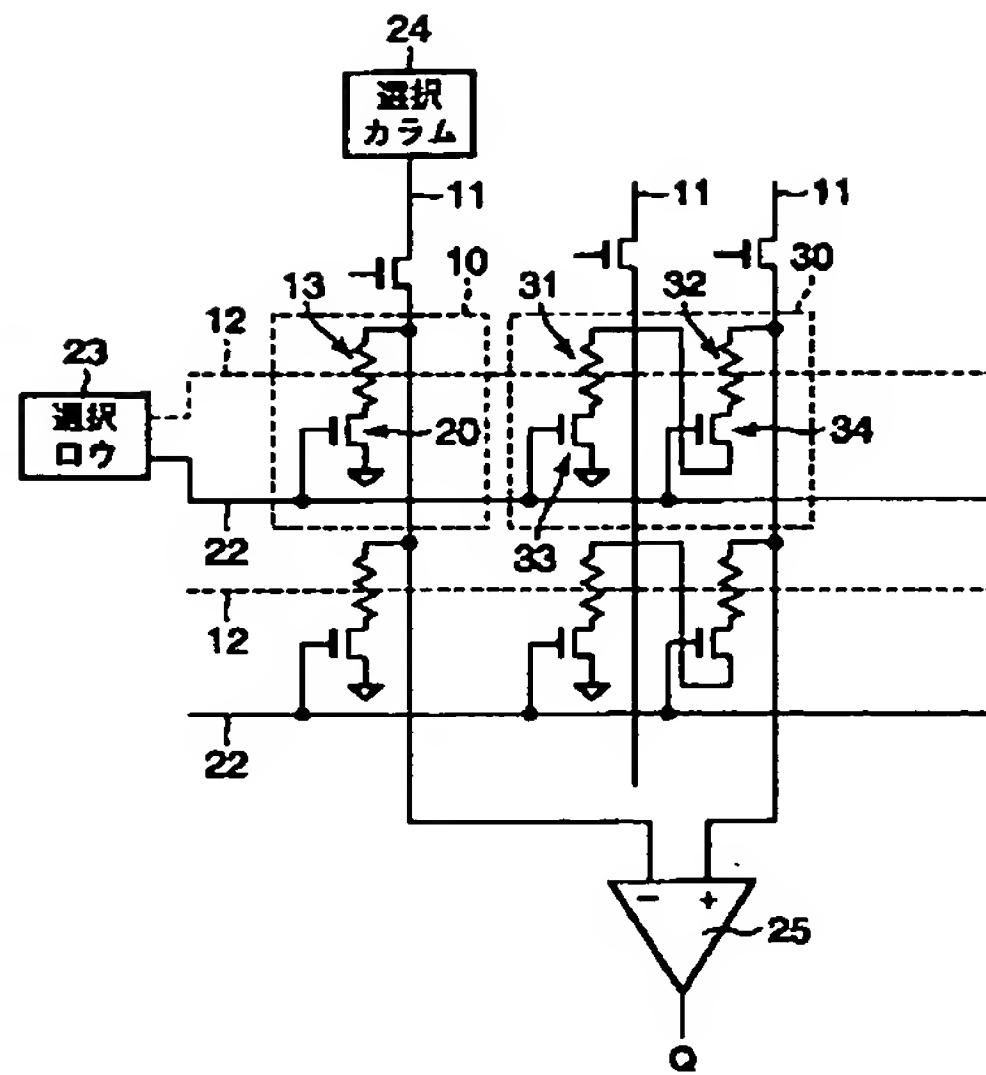
【図9】



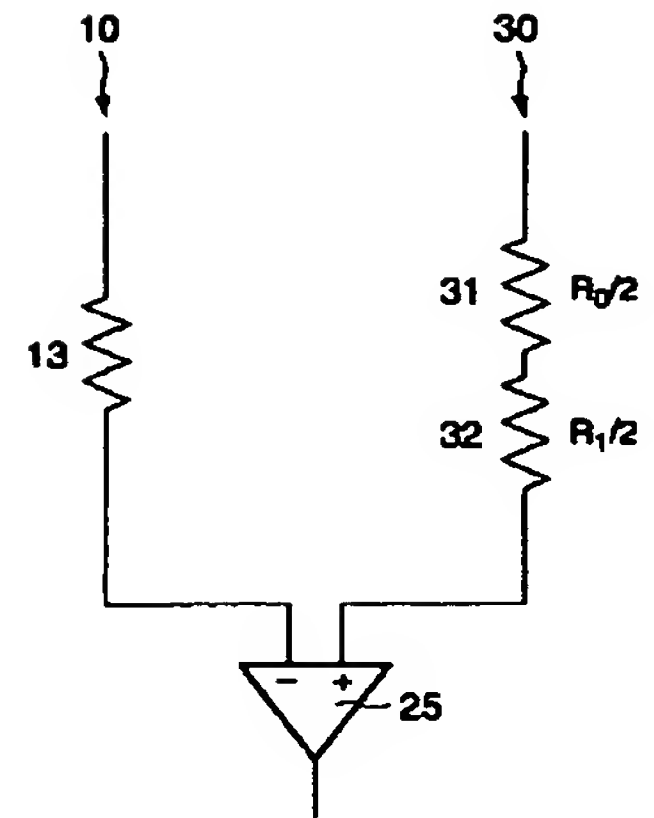
【図10】



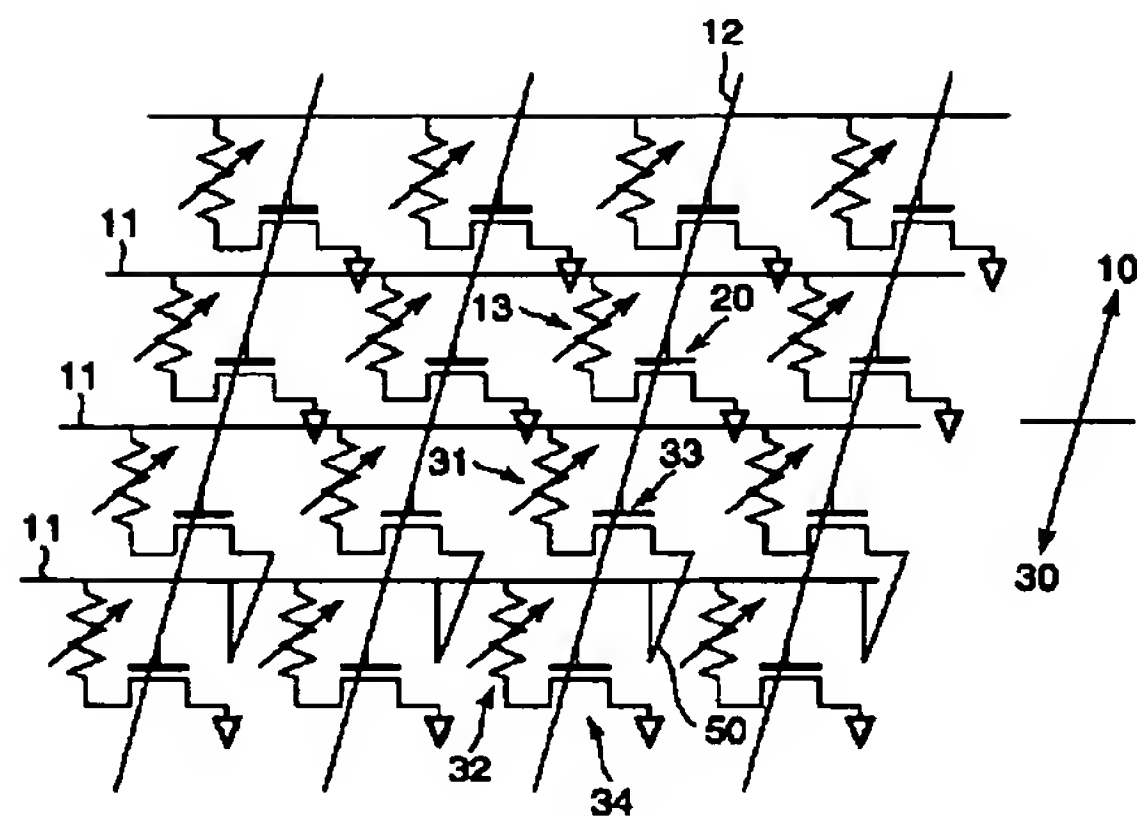
【図11】



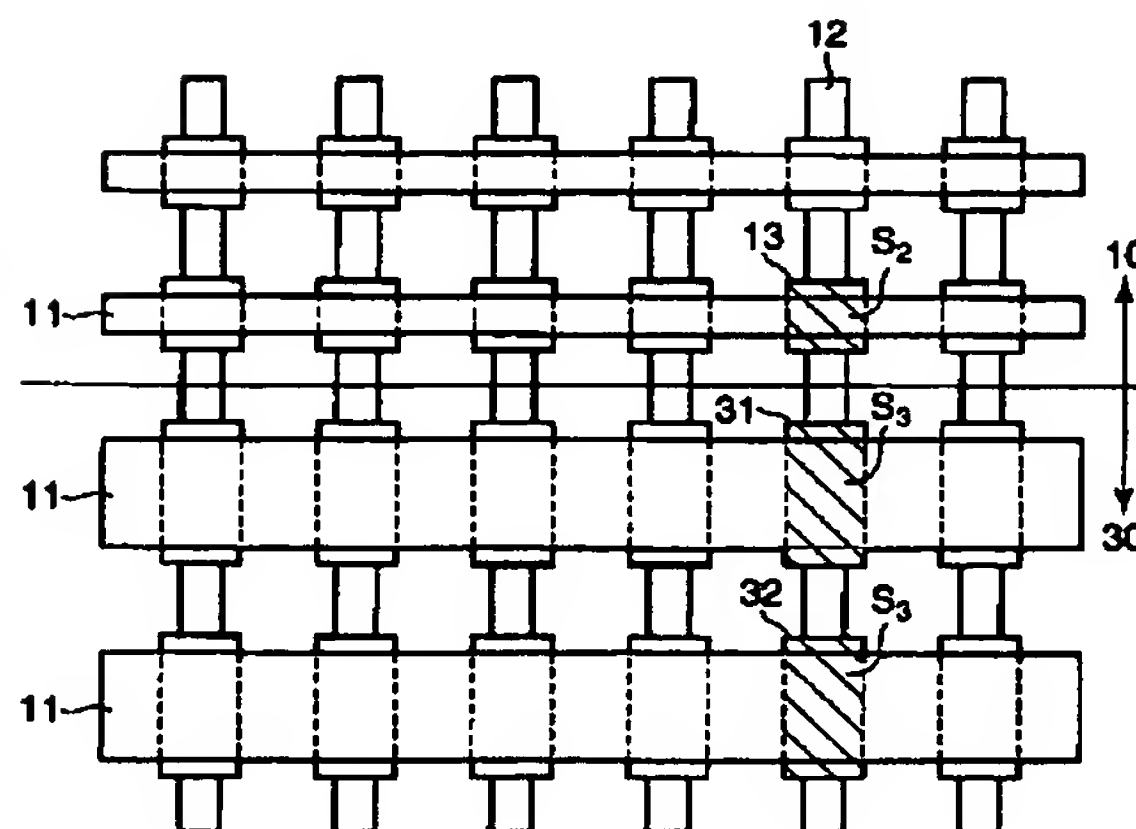
【図13】



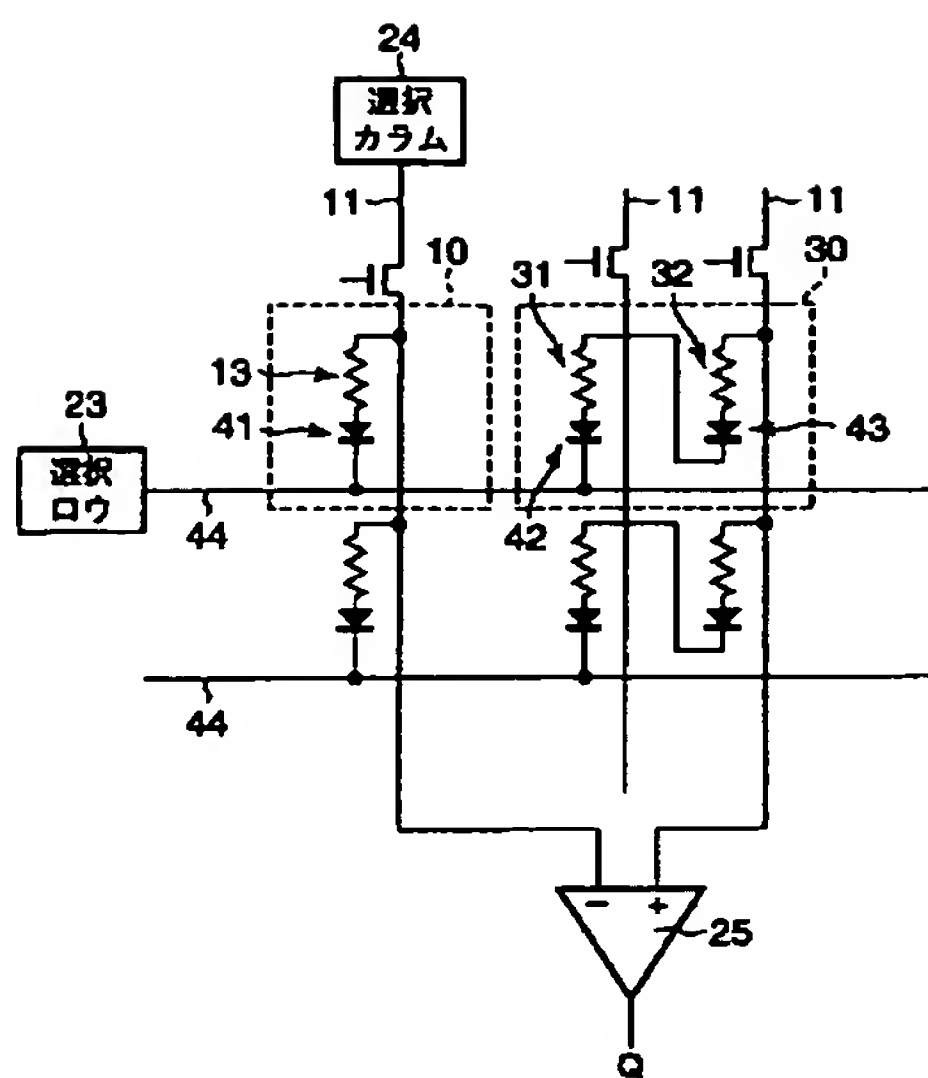
【図12】



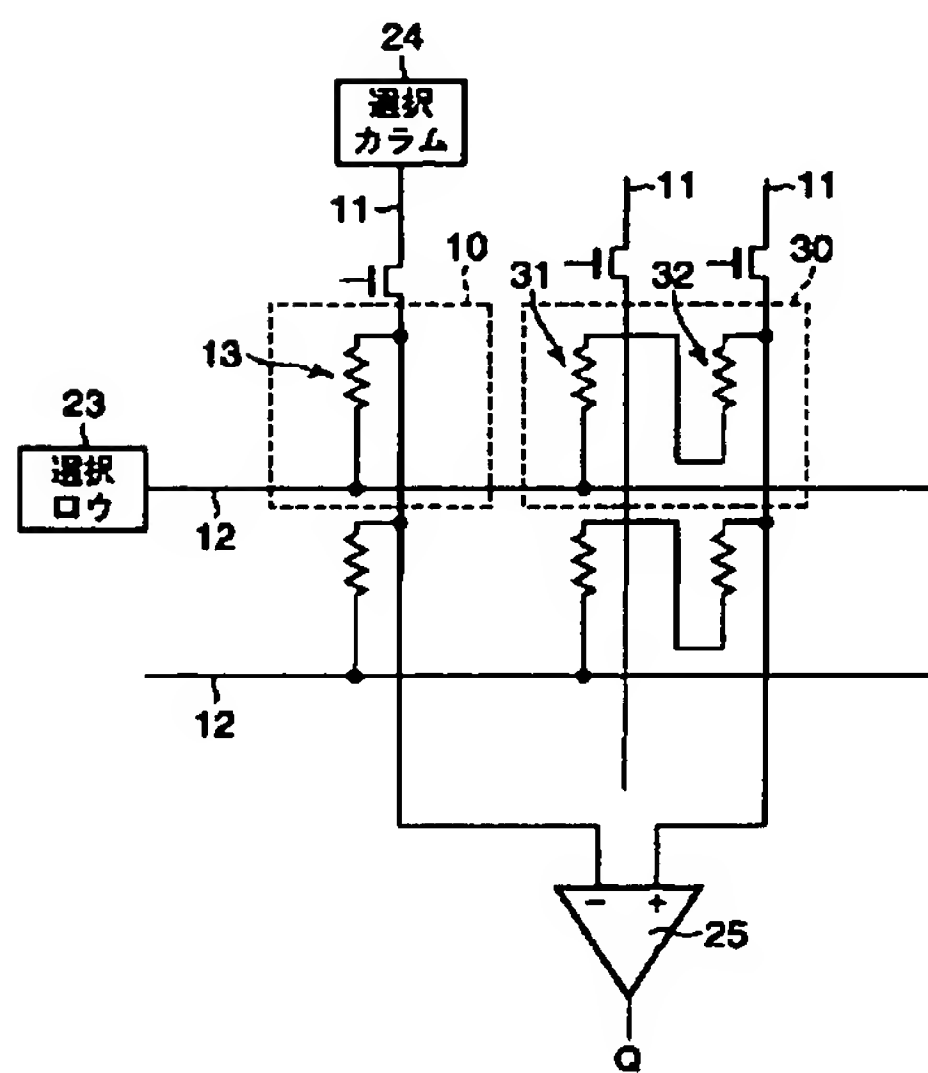
【図14】



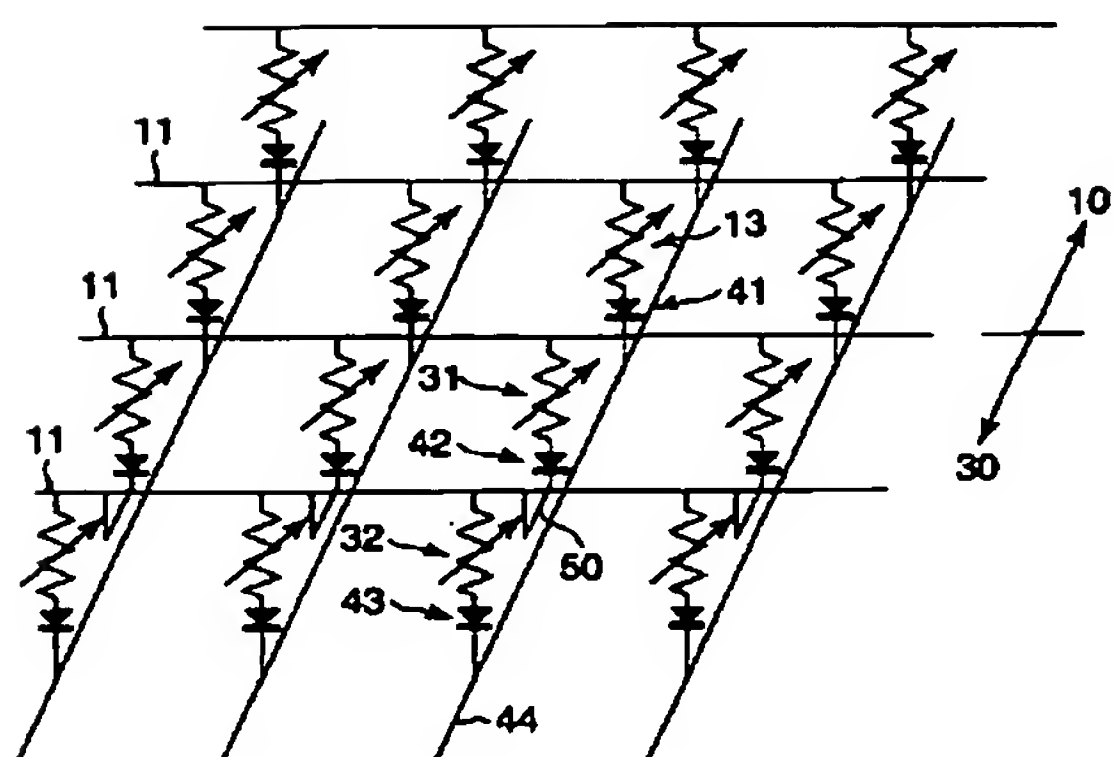
【図15】



【図17】



【図16】



【図18】

